

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-079131

(43)Date of publication of application : 14.03.2003

(51)Int.Cl.

H02M 1/08

(21)Application number : 2001-268613

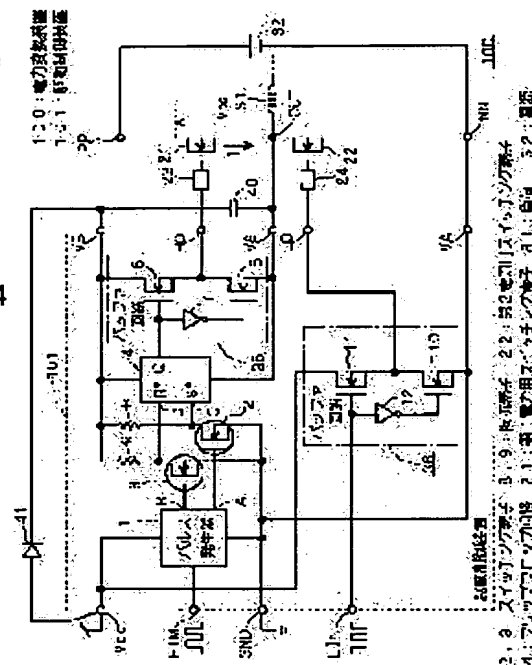
(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 05.09.2001

(72)Inventor : SUETSUGU EIJI

(54) DRIVE CONTROL DEVICE, POWER CONVERSION DEVICE, METHOD FOR CONTROLLING THE POWER CONVERSION DEVICE, AND METHOD FOR USING THE POWER CONVERSION DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To restrain the effect of a noise pulse arising from the switching operation of a power switching element.**SOLUTION:** A pulse generator 1 is synchronized with an input signal inputted to a terminal HIN to alternately output a pulse train composed of two pulses to output terminals A, B. The level of the pulse train is shifted through switching elements 2, 3 and resistor elements 8, 9 that constitute a pair of level-shift circuits, and inputted to a flip-flop circuit 4. The output of the flip-flop circuit 4 is inputted to the control electrode of a power switching element 21 through a buffer circuit 35.

LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

THIS PAGE LEFT BLANK

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号
特開2003-79131
(P2003-79131A)

(43)公開日 平成15年3月14日(2003.3.14)

(51) Int.Cl.⁷
H 0 2 M 1/08

識別記号

F I
H O 2 M 1/08

データ(参考)
A 5H740

審査請求 未請求 請求項の数8 OL (全 9 頁)

(21)出願番号 特願2001-268613(P2001-268613)

(22)出願日 平成13年9月5日(2001.9.5)

(71)出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 發明者 末次 英治

東京都千代田区丸の内二丁目2番3号 三
菱電機株式会社内

(74) 代理人 100089233

弁理士 吉田 茂明 (外2名)

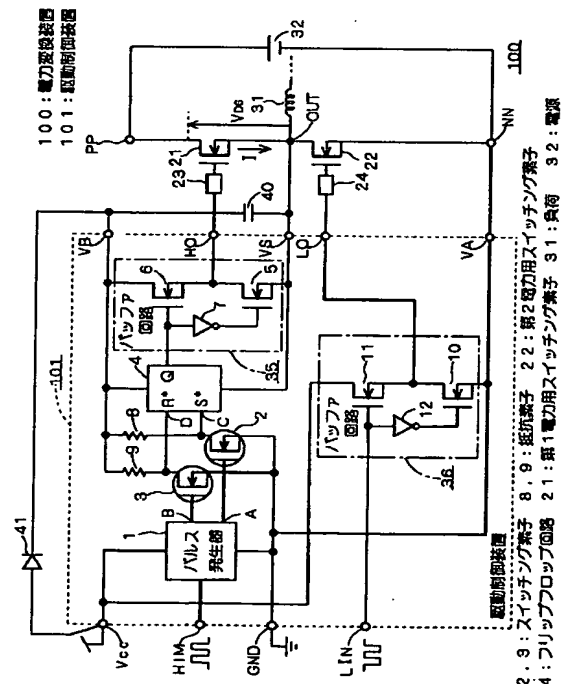
Fターム(参考) 5H740 AA04 BA12 BB08 BC01 BC02
JA01 JB01

(54) 【発明の名称】 駆動制御装置、電力変換装置、電力変換装置の制御方法、および電力変換装置の使用法

(57) 【要約】

【課題】 電力用スイッチング素子のスイッチング動作
にともなうノイズパルスの影響を抑制する。

【解決手段】 パルス発生器 1 は、端子 H I N へ入力される入力信号に同期して、2 パルスからなるパルス列を、出力 A、B へ交互に出力する。このパルス列は、一組のレベルシフト回路を構成するスイッチング素子 2、3 および抵抗素子 8、9 を通じてレベルシフトされ、フリップフロップ回路 4 へ入力される。フリップフロップ回路 4 の出力信号は、バッファ回路 3 5 を通じて電力用スイッチング素子 2 1 の制御電極へ入力される。



【特許請求の範囲】

【請求項 1】 電力用スイッチング素子を駆動制御するための駆動制御装置であって、

外部からの入力信号に同期して、パルスを二出力へ交互に出力し、かつ前記二出力の少なくとも一方には、前記パルスとして、互いの時間間隔があらかじめ設定された 2 パルスからなるパルス列を出力するパルス発生器と、前記パルス発生器の二出力の出力信号をそれぞれレベルシフトする一組のレベルシフト回路と、

前記一組のレベルシフト回路の出力信号の一方でセットされ他方でリセットされるフリップフロップ回路と、を備える駆動制御装置。

【請求項 2】 前記パルス発生器が、前記二出力の双方に、前記パルスとして、互いの時間間隔があらかじめ設定された 2 パルスからなるパルス列を出力する、請求項 1 に記載の駆動制御装置。

【請求項 3】 前記一組のレベルシフト回路の各々が、互いに直列接続された抵抗素子とスイッチング素子とを備える、請求項 1 または請求項 2 に記載の駆動制御装置。

【請求項 4】 前記フリップフロップ回路の出力信号を増幅するバッファ回路を、さらに備える、請求項 1 ないし請求項 3 のいずれかに記載の駆動制御装置。

【請求項 5】 前記バッファ回路を第 1 バッファ回路とし、前記入力信号を第 1 入力信号として、外部からの第 2 入力信号を増幅する第 2 バッファ回路を、さらに備える、請求項 4 に記載の駆動制御装置。

【請求項 6】 請求項 5 に記載の駆動制御装置と、電力用スイッチング素子として、前記第 1 バッファ回路によって駆動されるように、前記第 1 バッファ回路に接続された第 1 電力用スイッチング素子と、前記第 2 バッファ回路によって駆動されるように、当該第 2 バッファ回路に接続されるとともに、前記第 1 電力用スイッチング素子へ直列接続された第 2 電力用スイッチング素子と、を備える、電力変換装置。

【請求項 7】 請求項 6 に記載の電力変換装置へ前記第 1 および第 2 入力信号を入力することにより、前記第 1 および第 2 電力用スイッチング素子をオン・オフ制御する電力変換装置の制御方法であって、前記第 1 電力用スイッチング素子をターンオフさせるために前記二出力の一方に前記パルス列が出力された後に、前記第 2 電力用スイッチング素子をターンオンさせるように、前記第 1 および第 2 入力信号を入力する、電力変換装置の制御方法。

【請求項 8】 請求項 6 に記載の電力変換装置の使用方法であって、

(a) 前記第 1 および第 2 電力用スイッチング素子へ、電源および負荷を接続する工程と、

(b) 前記第 1 および第 2 入力信号を、前記電力変換装置

へ入力することにより、前記第 1 および第 2 電力用スイッチング素子をオン・オフ制御する工程と、を備え、

前記工程 (a) が、

(a-1) 前記フリップフロップ回路の一方入力に、前記 2 パルスのうちの第 1 番目のパルスが入力された後に、他方入力にノイズパルスが入力されることにより、前記第 1 電力用スイッチング素子の一对の主電極間の電圧が、前記第 1 番目のパルスが入力される直前の値へ復帰するより前に、第 2 番目のパルスが入力されるように、前記電源および前記負荷の接続を行う工程を、備える、電力変換装置の使用方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、インバータとしての使用に好適な、駆動制御装置、電力変換装置、電力変換装置の制御方法、および電力変換装置の使用方法に関し、特に、電力用スイッチング素子のスイッチング動作にともなうノイズパルスの影響を抑制するための改良に関する。

【0002】

【従来の技術】図 5 は、この発明の背景となる従来の駆動制御装置の構成を示す回路図である。この駆動制御装置 151 は、高耐圧集積回路として構成されており、パルス発生器 51、スイッチング素子 52、53、抵抗素子 58、59、フリップフロップ回路 54、スイッチング素子 55、56、およびインバータ素子 57 を備えている。パルス発生器 51 は、端子 HIN へ入力される入力信号に同期して、パルスを出出力 A、B へ交互に出力する。

【0003】スイッチング素子 52 と抵抗素子 58 との直列回路は、レベルシフト回路を構成する。同様に、スイッチング素子 53 と抵抗素子 59 との直列回路は、もう一つのレベルシフト回路を構成する。これらのレベルシフト回路は、パルス発生器 51 が出力するパルスを、反転しつつ、レベルシフトしてフリップフロップ回路 54 へ伝える。フリップフロップ回路 54 は、RS フリップフロップ回路であり、入力 C に入力されるパルスによりリセットされ、入力 D に入力されるパルスによりリセットされる。スイッチング素子 55、56 およびインバータ素子 57 は、フリップフロップ回路 54 の出力信号を増幅して端子 HO へ出力するバッファ回路を構成する。

【0004】駆動制御装置 151 を使用する際には、直列接続されたスイッチング素子 55、56 の接続部には、端子 HO を通じて電力用スイッチング素子 71 の制御電極が接続される。電力用スイッチング素子 71、72 の制御電極には、インピーダンス 73、74 が接続されても良い。電力用スイッチング素子 71、72 は、互いに直列接続されている。電力用スイッチング素子 71 および 72 の接続部には、端子 OUT を通じて負荷 81

が接続される。負荷 81 は、通常はモータ等の誘導性負荷である。

【0005】パルス発生器 51 の電源電圧は、端子 GND と端子 Vcc とに接続される外部の直流電源によって供給される。フリップフロップ回路 54、スイッチング素子 55、56、およびインバータ素子 57 の電源電圧は、端子 VS および端子 VB を通じて供給される。端子 VS は端子 OUT に接続されている。スイッチング素子 52、53 と抵抗素子 58、59 とを有する一組のレベルシフト回路は、端子 GND と端子 VB とに接続される。それによって、これらのレベルシフト回路は、端子 GND の電位を基準電位とする信号のレベルを、端子 VS の電位を基準電位とする信号のレベルへと変換する。

【0006】図 6 は、駆動制御装置 151 が動作するときの各部の信号のタイミングチャートである。以下の図において、装置の各部の符号を、そのまま当該各部の信号の符号としても用いる。例えば、端子 HIN へ入力される信号には、同一の符号「HIN」を付す。

【0007】端子 HIN へ入力される入力信号が、ハイレベルへ立ち上がると、パルス発生器 51 の出力 A から 20 ハイレベルのパルスが出力される結果、フリップフロップ回路 54 の入力 C に、ロウレベルのパルスが入力される。その結果、フリップフロップ回路 54 がセットされることにより、端子 HO の信号がハイレベルへ立ち上がる。それにより、電力用スイッチング素子 71 がターンオンする。それにともない、電力用スイッチング素子 71 を流れる電流 I は増加を開始し、電力用スイッチング素子 71 の一対の主電極間の電圧 V_{DS} は、下降を開始する。

【0008】端子 HIN へ入力される入力信号が、ロウ 30 レベルへ立ち下がると、パルス発生器 51 の出力 B からハイレベルのパルスが出力され、フリップフロップ回路 54 の入力 D に、ロウレベルのパルスが入力される。その結果、フリップフロップ回路 54 がリセットされることにより、端子 HO の信号がロウレベルへ立ち下がる。それにより、電力用スイッチング素子 71 がターンオフする。それにともない、電流 I は減少を開始し、電圧 V_{DS} は上昇を開始する。このようにして、端子 HIN を通じて入力される入力信号に同期して、電力用スイッチング素子 71 がターンオンおよびターンオフする。

【0009】

【発明が解決しようとする課題】しかしながら、従来の駆動制御装置 151 では、電力用スイッチング素子 71 のスイッチング動作にともなって、フリップフロップ回路 54 の入力へノイズパルスが誘起され、その影響が電力用スイッチング素子 71 のスイッチング動作に現れる場合があるという問題点があった。図 7 は、電力用スイッチング素子 71 がターンオンするときの装置各部の信号のタイミングチャートであり、ノイズパルスの影響を示している。

【0010】出力 A にパルスが出力されることにより、電力用スイッチング素子 71 がターンオンし、電圧 V_{DS} が下降する。電圧 V_{DS} の下降は、端子 VS の電位の上昇を意味する。電力用スイッチング素子 71、72 に接続される電源の電圧が、300V であれば、端子 VS の電位は 0 から 300V へ向かって上昇する。電圧 V_{DS} の変化率 dV/dt が大きいと、駆動制御装置 151 の内部に存在する浮遊容量の働きにより、端子 VS を通じて電流が流れる。その結果、スイッチング素子 53 が有する寄生容量を通じて電流が流れることにより、フリップフロップ回路 54 の入力 D へ、ロウレベルのノイズパルスが印加されることがある。

【0011】入力 D へノイズパルスが印加されると、フリップフロップ回路 54 がリセットされる。その結果、端子 HO の信号はロウレベルへ戻り、電力用スイッチング素子 71 はターンオフする。それにともない、電流 I は減少に転じ、電圧 V_{DS} は上昇に転じる。すなわち、電力用スイッチング素子 71 の正常なターンオン動作が妨げられる。

【0012】図 8 は、電力用スイッチング素子 71 がター 20 ンオフするときの装置各部の信号のタイミングチャートであり、ノイズパルスの影響を示している。出力 B にパルスが出力されることにより、電力用スイッチング素子 71 がターンオフし、電圧 V_{DS} が上昇する。電圧 V_{DS} の上昇は、端子 VS の電位の下降を意味する。電力用スイッチング素子 71、72 に接続される電源の電圧が、300V であれば、端子 VS の電位は 300V から 0 へ向かって下降する。電圧 V_{DS} の変化率 dV/dt が大きいと、駆動制御装置 151 の内部に存在する浮遊容量の働きにより、端子 VS を通じて電流が流れる。その結果、スイッチング素子 52 が有する寄生容量を通じて電流が流れることにより、フリップフロップ回路 54 の入力 C へ、ロウレベルのノイズパルスが印加されることがある。

【0013】入力 C へノイズパルスが印加されると、フリップフロップ回路 54 がセットされる。その結果、端子 HO の信号はハイレベルへ戻り、電力用スイッチング素子 71 はターンオンする。それにともない、電流 I は増加に転じ、電圧 V_{DS} は下降に転じる。すなわち、電力用スイッチング素子 71 の正常なターンオフ動作が妨げられる。このように従来の駆動制御装置 151 では、電力用スイッチング素子 71 のスイッチング動作にともなって、ノイズパルスの影響が現れる場合があるという問題点があった。

【0014】この発明は、従来の技術における上記した問題点を解消するためになされたもので、電力用スイッチング素子のスイッチング動作にともなうノイズパルスの影響を抑制することのできる、駆動制御装置、電力変換装置、電力変換装置の制御方法、および電力変換装置 50 の使用方法を提供することを目的とする。

【0015】

【課題を解決するための手段】第1の発明の装置は、電力用スイッチング素子を駆動制御するための駆動制御装置であって、外部からの入力信号に同期して、パルスを二出力へ交互に出力し、かつ前記二出力の少なくとも一方には、前記パルスとして、互いの時間間隔があらかじめ設定された2パルスからなるパルス列を出力するパルス発生器と、前記パルス発生器の二出力の出力信号をそれぞれレベルシフトする一組のレベルシフト回路と、前記一組のレベルシフト回路の出力信号の一方でセットされ他方でリセットされるフリップフロップ回路と、を備える。

【0016】第2の発明の装置では、第1の発明の駆動制御装置において、前記パルス発生器が、前記二出力の双方に、前記パルスとして、互いの時間間隔があらかじめ設定された2パルスからなるパルス列を出力する。

【0017】第3の発明の装置では、第1または第2の発明の駆動制御装置において、前記一組のレベルシフト回路の各々が、互いに直列接続された抵抗素子とスイッチング素子とを備える。

【0018】第4の発明の装置は、第1ないし第3のいずれかの発明の駆動制御装置において、前記フリップフロップ回路の出力信号を増幅するバッファ回路を、さらに備える。

【0019】第5の発明の装置は、第4の発明の駆動制御装置において、前記バッファ回路を第1バッファ回路とし、前記入力信号を第1入力信号として、外部からの第2入力信号を増幅する第2バッファ回路を、さらに備える。

【0020】第6の発明の装置は電力変換装置であって、第5の発明の駆動制御装置と、電力用スイッチング素子として、前記第1バッファ回路によって駆動されるように、前記第1バッファ回路に接続された第1電力用スイッチング素子と、前記第2バッファ回路によって駆動されるように、当該第2バッファ回路に接続されるとともに、前記第1電力用スイッチング素子へ直列接続された第2電力用スイッチング素子と、を備える。

【0021】第7の発明の方法は、第6の発明の電力変換装置へ前記第1および第2入力信号を入力することにより、前記第1および第2電力用スイッチング素子をオン・オフ制御する電力変換装置の制御方法であって、前記第1電力用スイッチング素子をターンオフさせるために前記二出力の一方に前記パルス列が出力された後に、前記第2電力用スイッチング素子をターンオンさせるように、前記第1および第2入力信号を入力する。

【0022】第8の発明の方法は、第6の発明の電力変換装置の使用方法であって、(a)前記第1および第2電力用スイッチング素子へ、電源および負荷を接続する工程と、(b)前記第1および第2入力信号を、前記電力変換装置へ入力することにより、前記第1および第2電力

用スイッチング素子をオン・オフ制御する工程と、を備え、前記工程(a)が、(a-1)前記フリップフロップ回路の一方入力に、前記2パルスのうちの第1番目のパルスが入力された後に、他方入力にノイズパルスが入力されることにより、前記第1電力用スイッチング素子の一对の主電極間の電圧が、前記第1番目のパルスが入力される直前の値へ復帰するより前に、第2番目のパルスが入力されるように、前記電源および前記負荷の接続を行う工程を、備える。

【0023】

【発明の実施の形態】(装置の構成)図1は、この発明の実施の形態による駆動制御装置の構成を示す回路図である。この駆動制御装置101は、パルス発生器1、スイッチング素子2、3、抵抗素子8、9、フリップフロップ回路4、スイッチング素子5、6、インバータ素子7、スイッチング素子10、11、およびインバータ素子12を備えている。駆動制御装置101を構成する各要素は、好ましくは単一の半導体チップに集積されている。すなわち駆動制御装置101は、好ましくは単一チップの高耐圧集積回路として構成されている。

【0024】スイッチング素子2、3の各々は、高耐圧スイッチング素子であり、図1の例ではnチャネル型の高耐圧MOSFET(MOS型電界効果トランジスタ)が用いられている。スイッチング素子2と抵抗素子8との直列回路は、レベルシフト回路を構成する。同様に、スイッチング素子3と抵抗素子9との直列回路は、もう一つのレベルシフト回路を構成する。これらのレベルシフト回路は、パルス発生器1が出力するパルスを、反転しつつ、レベルシフトしてフリップフロップ回路4へ伝える。フリップフロップ回路4は、RSフリップフロップ回路であり、入力Cに入力されるパルスによりセットされ、入力Dに入力されるパルスによりリセットされる。図1は、セット信号Sおよびリセット信号Rがロウアクティブ(S^{*}, R^{*})である例を示している。

【0025】スイッチング素子5、6の各々は、図1の例ではnチャネル型のMOSFETである。これらのスイッチング素子5、6およびインバータ素子7は、フリップフロップ回路4の出力信号を増幅して端子HOへ出力するバッファ回路35を構成する。同様に、スイッチング素子10、11の各々は、図1の例ではnチャネル型のMOSFETである。これらのスイッチング素子10、11およびインバータ素子12は、端子LINを通じて入力される入力信号を増幅して端子LOへ出力するバッファ回路36を構成する。

【0026】駆動制御装置101を使用するには、直列接続されたスイッチング素子5、6の接続部には、端子HOを通じて電力用スイッチング素子21の制御電極が接続される。同様に、直列接続されたスイッチング素子10、11の接続部には、端子LOを通じて電力用スイッチング素子22の制御電極が接続される。図1の例

では、電力用スイッチング素子21、22は、いずれもnチャネル型のMOSFETであり、制御電極はゲート電極である。図1が例示するように、端子HO、LOと電力用スイッチング素子21、22の制御電極との間には、インピーダンス23、24が介挿されても良い。

【0027】電力用スイッチング素子21、22は、互いに直列接続されている。電力用スイッチング素子21の主電極の一つ（図1ではドレイン電極）と、電力用スイッチング素子22の主電極の一つ（図1ではソース電極）には、端子PPおよびNNを通じて、電源32が接続される。電力用スイッチング素子21および22の接続部には、端子OUTを通じて負荷31が接続される。負荷31は、通常はモータ等の誘導性負荷である。

【0028】駆動制御装置101および電力用スイッチング素子21、22は、電力変換装置100を構成する。電力変換装置100は、三相インバータの単相分の構成単位に相当する。駆動制御装置101のうちの、端子HINから端子HOまで信号を伝達する回路要素、および電力用スイッチング素子21は、上アームに属し、端子LINから端子LOまで信号を伝達する回路要素、および電力用スイッチング素子22は、下アームに属する。下アームに属するスイッチング素子10、11およびインバータ素子12の電源、ならびに上アームに属するパルス発生器1の電源電圧は、端子GNDと端子Vccとに接続される外部の直流電源によって供給される。端子GNDは、端子VAを通じて端子NNに接続されている。

【0029】上アームに属するフリップフロップ回路4、スイッチング素子5、6、およびインバータ素子7の電源電圧は、端子VSおよび端子VBを通じて供給される。端子VSは端子OUTに接続されている。図1の例では、端子VSおよび端子VBには容量素子40が接続され、端子Vccおよび端子VBには、端子Vccから端子VBへ電流を供給するように、ダイオード41が接続されている。電力用スイッチング素子22のオン・オフ動作にともない、ダイオード41を通じて容量素子40へ電流が間欠的に供給される。それにより、容量素子40には、端子GNDと端子Vccとの間に供給される電圧と略等しい高さの電圧が、継続的に保持される。

【0030】スイッチング素子2、3と抵抗素子8、9とを有する一組のレベルシフト回路は、端子GNDと端子VBとに接続される。それによって、これらのレベルシフト回路は、端子GNDの電位を基準電位とする信号のレベルを、端子VSの電位を基準電位とする信号のレベルへと変換する。

【0031】図2のタイミングチャートが示すように、パルス発生器1は、端子HINへ入力される入力信号に同期して、2パルスからなるパルス列を、二出力A、Bへ交互に出力する。2パルスの間の時間間隔 Δt は、あらかじめ設定された一定値である。すなわち、パルス発

生器1はツーショットパルス発生器（two-shot pulse generator）であり、従来周知の回路技術によって、容易に構成可能である。ハードウェアのみで構成することも当然可能であるが、CPUと当該CPUの動作を規定するプログラムが搭載されたメモリとによって、構成することも可能である。2パルスの間の時間間隔 Δt は、出力Aと出力Bとの間で異なる値に設定されても良い。

【0032】（付記。）なお、図2以下の各図では、装置の各部の符号を、そのまま当該各部の信号の符号としても用いる。例えば、端子HINへ入力される信号には、同一の符号「HIN」を付す。

【0033】（装置の動作。）図3は、電力用スイッチング素子21をターンオンさせるときの各部の信号の変化の様子を示すタイミングチャートである。電力用スイッチング素子21をターンオンさせるために、端子HINへ入力される入力信号が、時刻 t_1 にハイレベルへ立ち上がる。それにより、パルス発生器1の出力Aから第1番目のハイレベルのパルスが出力され、フリップフロップ回路4の入力Cに、ロウレベルのパルスが入力される。その結果、フリップフロップ回路4がセットされることにより、端子HOの信号がハイレベルへ立ち上がる。それにより、電力用スイッチング素子21がターンオンする。それにともない、電力用スイッチング素子21を流れる電流Iは増加を開始し、電力用スイッチング素子21の一对の主電極間の電圧 V_{ds} は、下降を開始する。

【0034】電圧 V_{ds} の下降は、端子VSの電位の上昇を意味する。電源32の電圧が300Vであれば、端子VSの電位は、0から300Vへ向かって上昇する。この過程で、フリップフロップ回路4の入力Dへ、ロウレベルのノイズパルスが印加されることがある。時刻 t_1 からノイズパルスが発生する時刻 t_2 までの時間は、駆動制御装置101の構造だけでなく、電源32および負荷31にも依存する。入力Dへノイズパルスが印加されると、フリップフロップ回路4がリセットされる。その結果、端子HOの信号はロウレベルへ戻り、電力用スイッチング素子21はターンオフする。それにともない、電流Iは減少に転じ、電圧 V_{ds} は上昇に転じる。

【0035】しかしながら、パルス発生器1の働きにより、時刻 t_1 から時間間隔 Δt だけ遅れた時刻 t_3 に、出力Aへ第2番目のハイレベルのパルスが出力される。その結果、フリップフロップ回路4が再びセットされ、電力用スイッチング素子21は再度ターンオンする。その後の時刻 t_4 に、電圧 V_{ds} の遷移は終了する。このように、パルス発生器1が2パルスからなるパルス列を発生するので、フリップフロップ回路4がノイズパルスの影響を受けることがあっても、電力用スイッチング素子21を正常にターンオンさせることができる。

【0036】ノイズパルスの発生には、端子VSの電位の変化率 dV/dt が寄与している。変化率 dV/dt

は、電流 I および電圧 V_{DS} の双方に比例する。このため、電流 I が小さいほど、また電圧 V_{DS} が低いほど、ノイズパルスは発生し難くなる。したがって、図 3 に描かれるように、ノイズパルスの影響により、電圧 V_{DS} が時刻 t_1 の直前の値に復帰するより前に、第 2 番目のパルスが入力 C へ入力されるように、時間間隔 Δt が設定されるのが望ましい。そうすることにより、第 2 番目のパルスが入力される時刻 t_3 では、時刻 t_1 に比べて電圧 V_{DS} が低くなるので、時刻 t_3 以後には、ノイズパルスが発生し難くなる。すなわち、第 2 番目のパルスが入力された後に、再びノイズパルスが発生して、フリップフロップ回路 4 がリセットされることを、より効果的に抑制することができる。

【0037】したがって、電源 32 および負荷 31 に応じて、すなわち使用目的に応じて、時間間隔 Δt が適切に設定された駆動制御装置 101 を選択するのが望ましい。このことは、時間間隔 Δt が設定された駆動制御装置 101 を使用するに際し、上記した好ましい条件を満たすような電源 32 および負荷 31 を接続することをも意味する。

【0038】図 3 では、端子 HIN への入力信号が時刻 t_1 にハイレベルへ遷移するより前に、端子 LIN への入力信号はロウレベルへ転じている。これは、直列接続された電力用スイッチング素子 21、22 が同時にオンすることにより流れる貫通電流を抑制するためである。

【0039】図 4 は、電力用スイッチング素子 21 をターンオフさせるときの各部の信号の変化の様子を示すタイミングチャートである。電力用スイッチング素子 21 をターンオフさせるために、端子 HIN へ入力される入力信号が、時刻 t_1 にロウレベルへ立ち下がる。それにより、パルス発生器 1 の出力 B から第 1 番目のハイレベルのパルスが出力され、フリップフロップ回路 4 の入力 D に、ロウレベルのパルスが入力される。その結果、フリップフロップ回路 4 がリセットされることにより、端子 HO の信号がロウレベルへ立ち下がる。それにより、電力用スイッチング素子 21 がターンオフする。それにとともに、電流 I は減少を開始し、電圧 V_{DS} は上昇を開始する。

【0040】電圧 V_{DS} の上昇は、端子 VS の電位の下降を意味する。この過程で、フリップフロップ回路 4 の入力 C へ、ロウレベルのノイズパルスが印加されることがある。時刻 t_1 からノイズパルスが発生する時刻 t_2 までの時間は、駆動制御装置 101 の構造だけでなく、電源 32 および負荷 31 にも依存する。入力 C へノイズパルスが印加されると、フリップフロップ回路 4 がセットされる。その結果、端子 HO の信号はハイレベルへ戻り、電力用スイッチング素子 21 はターンオンする。それにとともに、電流 I は増加に転じ、電圧 V_{DS} は下降に転じる。

【0041】しかしながら、パルス発生器 1 の働きによ

り、時刻 t_1 から時間間隔 Δt だけ遅れた時刻 t_3 に、出力 B へ第 2 番目のハイレベルのパルスが出力される。その結果、フリップフロップ回路 4 が再びリセットされ、電力用スイッチング素子 21 は再度ターンオフする。その後の時刻 t_4 に、電圧 V_{DS} の遷移は終了する。このように、パルス発生器 1 が 2 パルスからなるパルス列を発生するので、フリップフロップ回路 4 がノイズパルスの影響を受けることがあっても、電力用スイッチング素子 21 を正常にターンオフさせることができる。

【0042】図 4 に描かれるように、ノイズパルスの影響により、電圧 V_{DS} が時刻 t_1 の直前の値に復帰するより前に、第 2 番目のパルスが入力 D へ入力されるように、時間間隔 Δt が設定されるのが望ましい。そうすることにより、第 2 番目のパルスが入力される時刻 t_3 では、時刻 t_1 に比べて電流 I が小さくなるので、時刻 t_3 以後には、ノイズパルスが発生し難くなる。すなわち、第 2 番目のパルスが入力された後に、再びノイズパルスが発生して、フリップフロップ回路 4 がセットされることを、より効果的に抑制することができる。

【0043】したがって、電源 32 および負荷 31 に応じて、すなわち使用目的に応じて、時間間隔 Δt が適切に設定された駆動制御装置 101 を選択するのが望ましい。このことは、時間間隔 Δt が設定された駆動制御装置 101 を使用するに際し、上記した好ましい条件を満たすような電源 32 および負荷 31 を接続することをも意味する。

【0044】図 4 が示すように、好ましくは第 2 番目のパルスがパルス発生器 1 から出力される時刻 t_3 より後に、さらに好ましくは、電圧 V_{DS} の遷移が完了する時刻 t_4 より後に、端子 LIN への入力信号がハイレベルへ遷移する（時刻 t_5 ）。それにより、直列接続された電力用スイッチング素子 21、22 が同時にオンすることにより流れる貫通電流を抑制することができる。

【0045】（装置の使用の手順。）駆動制御装置 101 を使用するには、図 1 が示すように、電力用スイッチング素子 21、22 を接続することにより電力変換装置 100 を構成し、さらに、電源 32、負荷 31、容量素子 40 およびダイオード 41 を接続するとともに、端子 V_{cc} 、 GND に直流電源を接続するとよい。電力変換装置 100 を入手する場合には、スイッチング素子 21、22 を別途に準備する必要がない。

【0046】（変形例。）

(1) 駆動制御装置 101 では、パルス発生器 1 は、二出力の双方に 2 パルスからなるパルス列を出力したが、二出力の一方にのみ、2 パルスからなるパルス列を出力し、他方には 1 パルスのみを出力する形態を実施することも可能である。この場合には、電力用スイッチング素子 21 のターンオン動作とターンオフ動作のいずれか一方について、ノイズパルスの影響を抑制することができる。一方の動作においてのみノイズパルスが現れる場合

には、この形態の装置でも十分である。

【0047】(2)駆動制御装置101は、上アームに属する回路と下アームに属する回路の双方を備えたが、上アームに属する回路のみを備える駆動制御装置を実施することも可能である。この場合には、電力用スイッチング素子21、22を駆動制御するためには、下アームに属する回路を、別途に準備すると良い。

【0048】

【発明の効果】第1の発明の装置では、入力信号がパルスの形式に変換された後にレベルシフトされ、フリップフロップ回路でもとの波形に復元されるので、レベルシフト回路での電力損失を節減しつつ、入力信号のレベルシフトが達成される。しかも、一組のレベルシフト回路の少なくとも一方への入力パルスが、2パルスからなるパルス列であるため、電力用スイッチング素子のターンオン動作またはターンオフ動作へのノイズパルスの影響を抑制することができる。

【0049】第2の発明の装置では、一組のレベルシフト回路の双方への入力パルスが、2パルスからなるパルス列であるため、電力用スイッチング素子のターンオン動作およびターンオフ動作の双方について、ノイズパルスの影響を抑制することができる。

【0050】第3の発明の装置では、各レベルシフト回路が、互いに直列接続された抵抗素子とスイッチング素子とを用いて、簡素に構成される。

【0051】第4の発明の装置では、バッファ回路が備わるので、電力用スイッチング素子を駆動制御するのに、バッファ回路を別途に準備し、接続する必要がない。

【0052】第5の発明の装置では、第2バッファ回路が備わるので、上アームと下アームを構成する第1および第2電力用スイッチング素子に、駆動制御回路を接続するだけで、電力変換装置を構成することができる。

【0053】第6の発明の装置では、第5の発明の駆動制御装置に、上アームと下アームを構成する第1および第2電力用スイッチング素子が接続されているので、第1電力用スイッチング素子のターンオン動作またはターンオフ動作へのノイズパルスの影響を抑制したインバータを簡単に構成することができる。

【0054】第7の発明の制御方法では、パルス列が出

力されることによりノイズパルスの影響を抑えて第1電力用スイッチング素子がターンオフした後に、第2電力用スイッチング素子をターンオンするので、双方の電力用スイッチング素子が同時にオンすることに起因する貫通電流を抑制することができる。

【0055】第8の発明の使用方法では、フリップフロップ回路の一方入力に、2パルスのうちの第1番目のパルスが入力された後に、他方入力にノイズパルスが入力されることにより、第1電力用スイッチング素子の一方の主電極間の電圧が、第1番目のパルスが入力される直前の値へ復帰するより前に、第2番目のパルスが入力されるように、電源および負荷の接続が行われるので、第2番目のパルスの後に、さらにノイズパルスが発生することを効果的に抑制することができる。

【図面の簡単な説明】

【図1】 本発明の実施の形態による駆動制御装置の回路図である。

【図2】 図1のパルス発生器の動作を示すタイミングチャートである。

【図3】 図1の駆動制御装置の動作を示すタイミングチャートである。

【図4】 図1の駆動制御装置の動作を示すタイミングチャートである。

【図5】 従来技術による駆動制御装置の回路図である。

【図6】 図5の駆動制御装置の動作を示すタイミングチャートである。

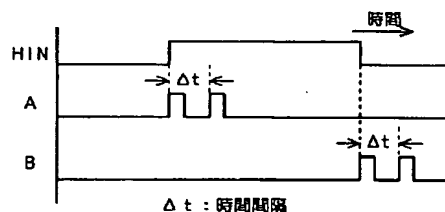
【図7】 図5の駆動制御装置の動作を示すタイミングチャートである。

【図8】 図5の駆動制御装置の動作を示すタイミングチャートである。

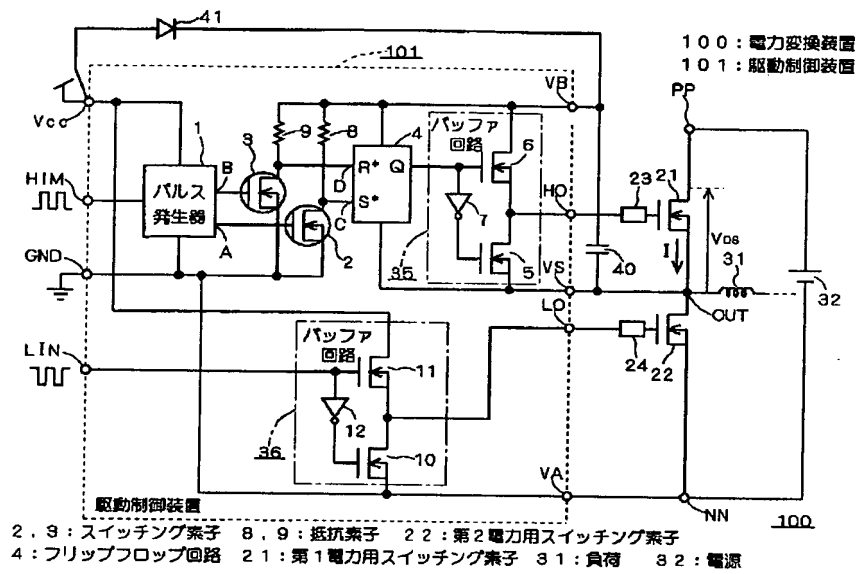
【符号の説明】

1 パルス発生器、2, 3 スwitchング素子、4 フリップフロップ回路、8, 9 抵抗素子、21 第1電力用スイッチング素子、22 第2電力用スイッチング素子、31 負荷、32 電源、35 第1バッファ回路、36 第2バッファ回路、100 電力変換装置、101 駆動制御装置、A, B 出力、C, D 出力、 Δt 時間間隔。

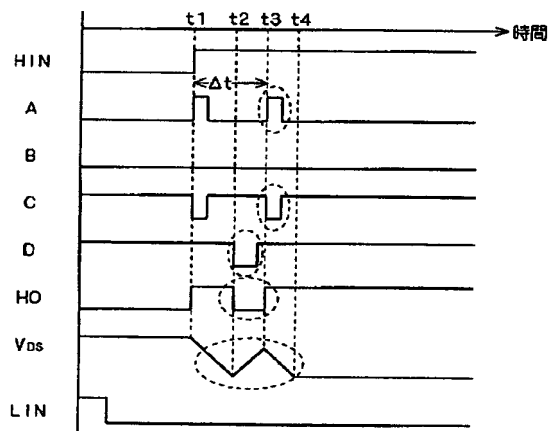
【図2】



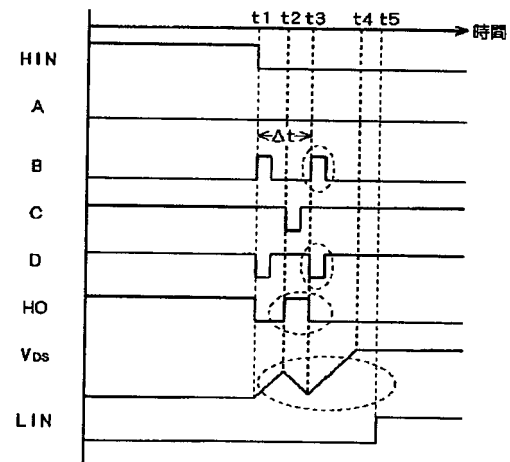
【図1】



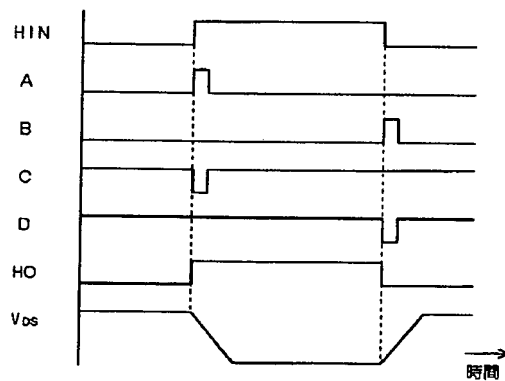
【図3】



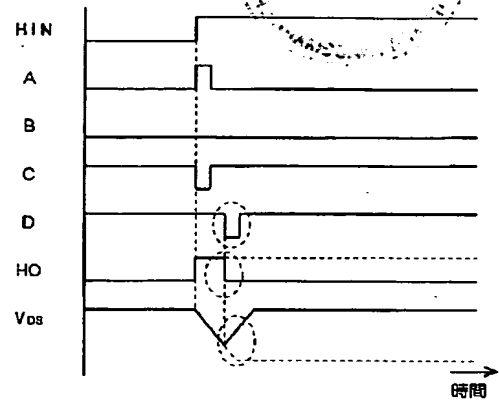
【図4】



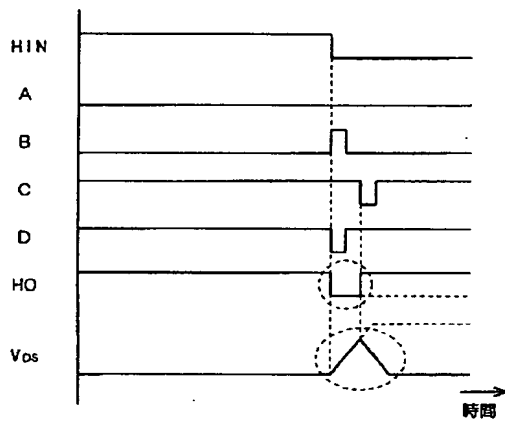
【図6】



【图 7-4】



【図8】





THIS PAGE LEFT BLANK